

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年12月 5日  
Date of Application:

出願番号 特願2002-353731  
Application Number:  
[ST. 10/C]: [JP2002-353731]

出願人 シャープ株式会社  
Applicant(s):

2003年11月 5日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 P02S0003A1

【提出日】 平成14年12月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G11C 16/06

【発明の名称】 半導体記憶装置及びメモリセルの記憶データ補正方法

【請求項の数】 16

【発明者】

    【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

    【氏名】 濱口 弘治

【特許出願人】

    【識別番号】 000005049

    【氏名又は名称】 シャープ株式会社

    【電話番号】 06-6621-1221

【代理人】

    【識別番号】 100114476

    【弁理士】

    【氏名又は名称】 政木 良文

    【電話番号】 06-6233-6700

【選任した代理人】

    【識別番号】 100107478

    【弁理士】

    【氏名又は名称】 橋本 薫

    【電話番号】 06-6233-6700

【手数料の表示】

    【予納台帳番号】 072856

    【納付金額】 21,000円



【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【物件名】 包括委任状 1

【援用の表示】 平成 1 4 年 1 2 月 3 日付で提出の包括委任状を援用します。

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 半導体記憶装置及びメモリセルの記憶データ補正方法

【特許請求の範囲】

【請求項 1】 1セル内にN値データ（Nは2以上の自然数）を記憶且つ書き換え可能な複数のメモリセルと、

前記N値データの各データ値を前記メモリセルと同じ記憶方式で各別に記憶する複数のモニターセルと、

前記モニターセルに記憶した前記データ値に対応する前記モニターセルの物理量が予め設定された範囲にあるか否かを検知する検知手段と、

前記検知手段が前記モニターセルの前記物理量を予め設定された範囲外であると検知した場合、前記メモリセルに記憶されているデータ値に対応する前記メモリセルの前記物理量が予め設定された範囲であるか否かの確認をする確認手段と、  
を備えたことを特徴とする半導体記憶装置。

【請求項 2】 前記モニターセルは、前記メモリセルのデータ保持状態の読み出し動作に伴う劣化をモニターする第1モニターセル、及び、前記メモリセルのデータ保持状態の経時劣化をモニターする第2モニターセルの少なくとも何れか一方を含むことを特徴とする請求項 1 に記載の半導体記憶装置。

【請求項 3】 読み出し動作に伴う前記第1モニターセルに対するデータ保持状態の劣化に影響するストレスが、前記第1モニターセルがモニター対象とする前記メモリセルに対する前記ストレスより大きくなるように構成されていることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 4】 前記第1モニターセルに対し、前記第1モニターセルがモニター対象とする前記メモリセルに対する読み出し動作が発生する毎に、少なくとも1回の読み出し動作が実行されるように構成されていることを特徴とする請求項 2 に記載の半導体記憶装置。

【請求項 5】 読み出し動作、書き込み動作、及び、消去動作を直接受けない状態における前記第2モニターセルに対するデータ保持状態の劣化に影響するストレスが、前記第2モニターセルがモニター対象とする前記メモリセルに対す



る前記ストレスより大きくなるように構成されていることを特徴とする請求項 2 ～ 4 の何れか 1 項に記載の半導体記憶装置。

【請求項 6】 前記複数のモニターセルが、前記第 2 モニターセルがモニター対象とする複数の前記メモリセルと、当該メモリセルに対して読み出し動作に要する電圧を供給する負荷回路との間に配置されていることを特徴とする請求項 2 ～ 5 の何れか 1 項に記載の半導体記憶装置。

【請求項 7】 前記検知手段が、前記モニターセルの前記物理量の検知を所定のタイミングで実行するための同期信号を発生するタイミング発生回路を備えていることを特徴とする請求項 1 ～ 6 の何れか 1 項に記載の半導体記憶装置。

【請求項 8】 前記確認手段が、前記メモリセルの前記物理量が予め設定された範囲外にあると確認した場合に、そのメモリセルの前記物理量を予め設定された範囲内に収まるように補正する補正手段を備えていることを特徴とする請求項 1 ～ 7 の何れか 1 項に記載の半導体記憶装置。

【請求項 9】 前記補正手段は、補正対象の前記メモリセルに対して、書き込みと消去の少なくとも何れか一方を実行することにより、前記物理量を補正することを特徴とする請求項 8 に記載の半導体記憶装置。

【請求項 10】 前記メモリセルは、電気的ストレスにより電気抵抗が変化し前記電気的ストレス解除後も変化した電気抵抗が保持される不揮発性抵抗変化素子と選択トランジスタとで構成されていることを特徴とする請求項 1 ～ 9 の何れか 1 項に記載の半導体記憶装置。

【請求項 11】 前記不揮発性抵抗変化素子は、電極間にマンガンを含有するペロブスカイト構造の酸化物が形成されていることを特徴とする請求項 10 に記載の半導体記憶装置。

【請求項 12】 1 セル内に N 値データ (N は 2 以上の自然数) を記憶且つ書き換え可能なメモリセルの記憶データ補正方法であって、

前記 N 値データの各データ値を前記メモリセルと同じ記憶方式で各別に記憶する複数のモニターセルを用い、

前記モニターセルに記憶した前記データ値に対応する前記モニターセルの物理量が予め設定された範囲にあるか否かを検知し、



前記モニターセルの前記物理量が予め設定された範囲外であると検知した場合、前記メモリセルに記憶されているデータ値に対応する前記メモリセルの前記物理量が予め設定された範囲であるか否かの確認し、

前記メモリセルの前記物理量が予め設定された範囲外にあると確認した場合、そのメモリセルの前記物理量を予め設定された範囲内に収まるように補正することを特徴とするメモリセルの記憶データ補正方法。

【請求項 13】 前記モニターセルは、前記メモリセルのデータ保持状態の読み出し動作に伴う劣化をモニターする第 1 モニターセル、及び、前記メモリセルのデータ保持状態の経時劣化をモニターする第 2 モニターセルの少なくとも何れか一方を含むことを特徴とする請求項 12 に記載のメモリセルの記憶データ補正方法。

【請求項 14】 前記モニターセルの前記物理量の検知を所定のタイミングで実行するための同期信号を発生するタイミング発生回路を備え、

前記同期信号に基づくタイミングで前記モニターセルの前記物理量が予め設定された範囲にあるか否かを検知することを特徴とする請求項 12 または 13 に記載のメモリセルの記憶データ補正方法。

【請求項 15】 前記メモリセルは、電気的ストレスにより電気抵抗が変化し前記電気的ストレス解除後も変化した電気抵抗が保持される不揮発性抵抗変化素子と選択トランジスタとで構成されていることを特徴とする請求項 12 ～ 14 の何れか 1 項に記載のメモリセルの記憶データ補正方法。

【請求項 16】 前記不揮発性抵抗変化素子は、電極間にマンガンを含有するペロブスカイト構造の酸化物が形成されていることを特徴とする請求項 15 に記載のメモリセルの記憶データ補正方法。

#### 【発明の詳細な説明】

##### 【0001】

#### 【発明の属する技術分野】

本発明は、半導体記憶装置及びメモリセルの記憶データ補正方法に関するものである。

##### 【0002】

**【従来の技術】**

電氣的に書き込み及び消去可能な不揮発性メモリであるフラッシュメモリは、時間の推移やデータ読み出し時の電流や電圧によるストレスでメモリセルに記憶されるべきデータに対応した物理量の一例であるチャージ状態が変化して閾値分布が規定範囲内から逸脱する可能性があり、その場合には、アクセスタイムの遅延や誤読み出しの原因となる。そこで、U S P 5, 8 3 5, 4 1 3 号公報によれば、上述のストレスでメモリセルの状態が変化して閾値分布が規定範囲内から逸脱したセルに対して、元の規定範囲に入るように補正する技術が提案されている。

**【0 0 0 3】**

以下、U S P 5, 8 3 5, 4 1 3 号公報に基づいて、N O R 型フラッシュメモリのデータ補正について説明する。フラッシュメモリは、図 7 に示すように、メモリセルがマトリクス状に配置されたメモリアレイ 2 1 と、センス回路 2 5 の一方に入力される基準データが記憶されたりファレンスアレイ 2 2 と、ワード線を選択するワード線選択信号を出力するロウデコーダ 2 4 と、ビット線を選択するビット線選択信号を出力するカラムデコーダ 2 3 と、プログラム、イレース、リード等の各モードに応じて各回路に供給する電圧を切り替え、デバイス内部で昇圧された電圧や外部から供給された高電圧を切り替える機能も有する電圧切替え回路としての電圧スイッチ 2 6 と、外部より入力されたコマンド（プログラム、イレース、リード等にそれぞれ割り当てられている）を認識し、デバイスがそのコマンドに対応する動作を開始するように各回路に信号を出力するコマンドインターフェイス 2 7 と、プログラムやイレース等の特殊なアルゴリズムが必要な時にそのアルゴリズムを実行するためのマイクロコントローラとしてのコントロールエンジン 2 8 等を備えて構成される。

**【0 0 0 4】**

上述の各回路動作は一般的なフラッシュメモリと基本的に同一であり、特長はコントロールエンジン 2 8 に訂正信号 C O R R E C T が入力されている点にある。この信号がコントロールエンジン 2 8 に入力されることによりメモリセルの閾値補正ルーチンが開始される。信号入力のコマンド等の外部からの入力により行

われる。内部動作はベリファイと書き込み動作であるため訂正信号CORRECTが追加されている以外は一般的なNOR型フラッシュメモリと同じであり、ルーチンが追加されているだけである。

#### 【0005】

下記にそのルーチンを図8、図9に従って説明する。図9はメモリセルの閾値分布を示しており、VT00が最も閾値が高く、VT11が最も閾値が低くなる。ここではVT01の範囲内になければならないメモリセルがチャージロスしてVT01とVT10の中間の状態になってしまった場合にVT01に補正する例として説明する。

#### 【0006】

コマンド等の外部からの動作を受け、訂正信号CORRECTがコントロールエンジンに入力されメモリセルの閾値補正動作が開始される。まず、ステップ21では、メモリセルの状態がある分布範囲の上限以上か否かを判断する。具体的には、VT11とVT10の中間領域になっていないか確認するため、メモリセルとVT11の上限を示すリファレンスセルとをセンス回路25により比較する。今回の例ではメモリセルの閾値が高いため、メモリセルの状態がその分布範囲の一つ上の分布範囲の下限以下か否かを判断するステップ22に進み、メモリセルとVT10の下限を示すリファレンスセルとを比較する。メモリセルの閾値が高いため、メモリセルの状態が別の状態（多値）にあるか否かを判断するステップ24に進み、別の分布範囲があるか否かを確認する。今回の例では別の分布範囲があるため、確認する分布範囲を変更するステップ25に進む。（この確認は多値メモリでは必要であるが2値メモリでは不要であり、2値メモリの場合には、ここに来た時点で終了となる。）次にステップ21に進み、VT10とVT01の中間領域になっていないか確認するようにし、メモリセルとVT10の上限を示すリファレンスセルを比較する。今回の例ではメモリセルの閾値の方が高いのでステップ22に進み、メモリセルとVT01の下限を示すリファレンスセルを比較する。今回の例ではメモリセルの閾値の方が低いので、メモリセル状態がその分布範囲の一つ上の分布範囲の下限以上になるまで書き込み処理を行なうステップ23に進み、VT01の下限以上になるまでメモリセルの書き込みを行な



う。書き込みが完了すればアルゴリズムが終了となる。尚、アドレスを変更し、上述のステップを再度実行し、全てのメモリセルに対してチェックし、規定範囲内からはみ出した場合に元の範囲になるように補正する。また、今メモリセルが中間の状態になった例で説明をしたが、正常な状態のセルの場合はステップ 24 の動作で終了となり書き込み動作は行われない。

#### 【0007】

##### 【特許文献 1】

米国特許第 5, 835, 413 号明細書

#### 【0008】

##### 【発明が解決しようとする課題】

上述した従来の技術では、各メモリセルにおけるデータの保持状態の確認動作を全てのメモリセルに対して実行する必要があるので、時間を要することとなり、物理量の一例であるチャージ量の変動による閾値のシフトを早期に検知することができず、しかも低消費電力化が図れないという問題があった。また、閾値シフトの検知をする度に、メモリセルにストレスがかかり、閾値が規定範囲から逸脱する可能性が高くなる虞もあった。さらには、従来技術ではアルゴリズムを開始させるためにコマンド等の外部入力が必要となるが、それが入力されない限り実行されないこととなり、そのような場合にはデバイスとしての信頼性が悪くなるという問題点もあった。さらに、フラッシュメモリではチャージロスにより分布内からシフトしたメモリセルへの書き込みは 1 ビット毎に行えるものの、消去はブロック（同時に消去されるメモリセルの群集）毎でしか行えないことから、チャージゲインにより閾値分布内からシフトしたメモリセルには 1 ビット単位での補正ができないという問題点もあった。

#### 【0009】

本発明の目的は、上述した従来の問題点を解消し、メモリセルに過剰なストレスをかけることなく効率的に物理量の変動が検知でき、しかも、チャージロスによるような規定範囲の下方への変動ばかりではなくチャージゲインによるような規定範囲の上方への物理量の変動に対しても補正可能な半導体記憶装置及びメモリセルの記憶データ補正方法を提供する点にある。

**【0010】****【課題を解決するための手段】**

上述の目的を達成するため本発明による半導体記憶装置の特徴構成は、1セル内にN値データ（Nは2以上の自然数）を記憶且つ書き換え可能な複数のメモリセルと、前記N値データの各データ値を前記メモリセルと同じ記憶方式で各別に記憶する複数のモニターセルと、前記モニターセルに記憶した前記データ値に対応する前記モニターセルの物理量が予め設定された範囲にあるか否かを検知する検知手段と、前記検知手段が前記モニターセルの前記物理量を予め設定された範囲外であると検知した場合、前記メモリセルに記憶されているデータ値に対応する前記メモリセルの前記物理量が予め設定された範囲であるか否かの確認をする確認手段と、を備えた点にある。

**【0011】**

つまり、前記N値データの各データ値を前記メモリセルと同じ記憶方式で各別に記憶する複数のモニターセルを設けることにより、通常はモニターセルの物理量の変動のみ検知し、モニターセルの物理量の変動した場合にのみメモリセルの確認を行なうことにより、メモリセルに過剰なストレスをかけることのない状態で、メモリセルにおける物理量の変動の確認を高速且つ低消費電力下で行なうことができるのである。

**【0012】**

ここで、前記モニターセルとして、前記メモリセルのデータ保持状態の読み出し動作に伴う劣化をモニターする第1モニターセルを備えれば、使用時の電流や電圧によるストレスに起因する物理量の変動を検出でき、前記メモリセルのデータ保持状態の経時劣化をモニターする第2モニターセルを備えれば、時間の推移に伴って生ずる物理量の変動を的確に検出できることになる。

**【0013】**

さらに、読み出し動作に伴う前記第1モニターセルに対するデータ保持状態の劣化に影響するストレスが、前記第1モニターセルがモニター対象とする前記メモリセルに対する前記ストレスより大きくなるように構成することにより、前記第1モニターセルによる前記ストレスに対する物理量の変動を、前記メモリセル

より感度の高い状態で検知できるので好ましく、前記第1モニターセルに対し、前記第1モニターセルがモニター対象とする前記メモリセルに対する読み出し動作が発生する毎に、少なくとも1回の読み出し動作が実行されるように構成されているのがメモリセルとモニターセルへのストレスを同等に与えることができるという点で好ましい。

#### 【0014】

同様に、読み出し動作、書き込み動作、及び、消去動作を直接受けない状態における前記第2モニターセルに対するデータ保持状態の劣化に影響するストレスが、前記第2モニターセルがモニター対象とする前記メモリセルに対する前記ストレスより大きくなるように構成することにより、前記第2モニターセルによる前記ストレスに対する物理量の変動を、前期メモリセルより感度の高い状態で検知できるので好ましく、前記第2モニターセルがモニター対象とする複数の前記メモリセルと、当該メモリセルに対して読み出し動作に要する電圧を供給する負荷回路との間に配置されていることが好ましい。

#### 【0015】

前記検知手段が、前記モニターセルの前記物理量の検知を所定のタイミングで実行するための同期信号を発生するタイミング発生回路を備えていることが、好ましく、この場合には、データ保持特性の劣化の程度を予め研究しておくことにより、好ましいタイミングで自動的に検知できるので、信頼性が一層向上することになる。

#### 【0016】

前記確認手段が、前記メモリセルの前記物理量が予め設定された範囲外にあると確認した場合に、そのメモリセルの前記物理量を予め設定された範囲内に収まるように補正する補正手段を備えることにより、前記物理量が規定範囲から逸脱しても、補正により安定的な動作を保証することができるのである。具体的には、前記メモリセルは、電気的ストレスにより電気抵抗が変化し前記電気的ストレス解除後も変化した電気抵抗が保持される不揮発性抵抗変化素子と選択トランジスタとで構成されていることが好ましく、前記不揮発性抵抗変化素子は、電極間にマンガンを含むペロブスカイト構造の酸化物が形成されていることが好ま

しい。この場合には、データの書込み補正、消去補正をメモリセル単位で行なえるので、前記物理量が規定範囲のいずれの側に変動しても常に安定的な動作を保証することができるのである。

#### 【0017】

上述の目的を達成するため本発明によるメモリセルの記憶データ補正方法は、1セル内にN値データ（Nは2以上の自然数）を記憶且つ書き換え可能なメモリセルの記憶データ補正方法であって、前記N値データの各データ値を前記メモリセルと同じ記憶方式で各別に記憶する複数のモニターセルを用い、前記モニターセルに記憶した前記データ値に対応する前記モニターセルの物理量が予め設定された範囲にあるか否かを検知し、前記モニターセルの前記物理量が予め設定された範囲外であると検知した場合、前記メモリセルに記憶されているデータ値に対応する前記メモリセルの前記物理量が予め設定された範囲であるか否かの確認し、前記メモリセルの前記物理量が予め設定された範囲外にあると確認した場合、そのメモリセルの前記物理量を予め設定された範囲内に収まるように補正する点にある。

#### 【0018】

つまり、検知したモニターセルの物理量が設定範囲外に逸脱したときのみメモリセルを補正すればよいので、メモリセルに不要なストレスをかけることなく、しかも、低消費電力化を達成できるのである。

#### 【0019】

##### 【発明の実施の形態】

以下本発明の実施の形態を図面に基づいて説明する。図3に示すように、半導体記憶装置は、1セル内にN値データ（Nは2以上の自然数）を記憶且つ書き換え可能な複数のメモリセルがマトリクス配置されたメモリアレイ1と、センス回路3の一方に入力される基準データが記憶されたリファレンスアレイ2と、ワード線を選択するワード線選択信号を出力するロウデコーダ4と、ビット線を選択するビット線選択信号を出力するカラムデコーダ5と、プログラム、イレース、リード等の各モードに応じて各回路に供給する電圧を切り替え、デバイス内部で昇圧された電圧や外部から供給された高電圧を切り替える機能も有する電圧切替

え回路としての電圧スイッチ 14 と、外部より入力されたコマンド（プログラム、イレース、リード等にそれぞれ割り当てられている）を認識し、デバイスがそのコマンドに対応する動作を開始するように各回路に信号を出力するコマンドインターフェイス 15 と、プログラムやイレース等の特殊なアルゴリズムが必要な時そのアルゴリズムを実行するためのマイクロコントローラとしてのコントロールエンジン 16 とを備えて構成される。

#### 【0020】

さらに、前記N値データの各データ値を前記メモリセルと同じ記憶方式で各別に記憶する複数のモニターセルが配列されたモニターセルアレイ 6、9 を備え、前記コントロールエンジン 16 とデコーダ回路であるリードディスタープ用モニターセルカラムデコーダ 7、リードディスタープ用モニターセルロウデコーダ 8、リテンション用モニターセルカラムデコーダ 10、リテンション用モニターセルロウデコーダ 11 とモニターセルセンス回路 12 とが、前記モニターセルに記憶した前記データ値に対応する前記モニターセルの物理量が予め設定された範囲にあるか否かを直接或いは間接的に検知する検知手段として機能し、前記検知手段が前記モニターセルの前記物理量を予め設定された範囲外であると検知した場合、前記メモリセルに記憶されているデータ値に対応する前記メモリセルの前記物理量が予め設定された範囲であるか否かの確認をする確認手段として機能するよう構成し、前記モニターセルの前記物理量の検知を所定のタイミングで実行するための同期信号を発生するタイミング発生回路として機能するリテンション用モニターセルセンスタイマー回路 13 を備えてある。

#### 【0021】

前記モニターセルについて詳述すると、データ記憶保持特性の劣化原因の違いに対応して、前記メモリセルのデータ保持状態の読み出し動作に伴う劣化をモニターする第1モニターセルが配列されたリードディスタープ用モニターセルアレイ 6、及び、前記メモリセルのデータ保持状態の経時劣化をモニターする第2モニターセルが配列されたリテンション用モニターセルアレイ 9 とを備えてあり、第1モニターセルはリードディスタープ用モニターセルカラムデコーダ 7、リードディスタープ用モニターセルロウデコーダ 8 により各別に読み出され、第2モ

ニターセルはリテンション用モニターセルカラムデコード10、リテンション用モニターセルロウデコード11により各別に読み出される。

#### 【0022】

本実施形態に使用されるメモリセル及びモニターセルは、電圧印加などによる電氣的ストレスにより物理量の一例である電気抵抗が変化し前記電氣的ストレス解除後も変化した電気抵抗が保持される不揮発性抵抗変化素子 (Novel resistance control nonvolatile RAM 以下、「RRAM素子」と記す。)と選択トランジスタとで構成され、RRAM素子は、例えば、 $\text{Pr}_{(1-x)}\text{Ca}_x\text{MnO}_3$ 、 $\text{La}_{(1-x)}\text{Ca}_x\text{MnO}_3$ 、または、 $\text{La}_{(1-x-y)}\text{Ca}_x\text{Pb}_y\text{MnO}_3$  (但し、 $x < 1$ 、 $y < 1$ 、 $x + y < 1$ ) で表される何れかの物質、例えば、 $\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MnO}_3$ 、 $\text{La}_{0.65}\text{Ca}_{0.35}\text{MnO}_3$ 、 $\text{La}_{0.65}\text{Ca}_{0.175}\text{Pb}_{0.175}\text{MnO}_3$  等のマンガン酸化膜をMOCVD法、スパインコーティング法、レーザアブレーション、スパッタリング法等で成膜して作成される。

#### 【0023】

以下、本明細書では、RRAM素子の抵抗値を上げるときを書き込むと表現し、抵抗値を下げるるときを消去すると表現し、書き込みを行なうときは選択トランジスタをオンにしてビット線に3V、ソース線に0Vに電圧を印加し、逆に消去するときは選択トランジスタをオンにしてビット線に0V、ソース線に3Vを印加し、読み出しを行なうときは選択トランジスタをオンにしてビット線に1.5Vソース線に0Vを印加する。尚、それぞれの電圧値は、前記不揮発性抵抗変化素子の特性に合わせて適宜設定すればよく、その値に限定するものではない。

#### 【0024】

リテンション用モニターセルセンスタイマー回路13は、前記モニターセルの前記物理量の検知を所定のタイミングで実行するための同期信号を発生するタイミング発生回路であり、電源投入とともに動作させスタンバイ時にも動作させる。詳述すると、リテンション用モニターセルセンスタイマー回路13は所定の周期のクロックパルスを生成し、リテンション用モニターセル判定イネーブル信号を出力する。メモリセルの信頼性を向上させるにはリテンション用モニターセル

セusstaymer回路13から生成されるクロックパルスの周期を早くし、スタンバイ電流の低減化を図るにはリテンション用モニターセルセusstaymer回路13から生成されるクロックパルスの周期を遅くすると良い。クロックパルスの周期は、仮に経時劣化による抵抗値のシフトを10パーセント以内にしたいとすると、研究段階で測定された抵抗値が10パーセントシフトする時間を周期に設定すればよい。信頼性向上化を図るなら、周期をその数分の1倍～100分の1倍程度に設定する。さらに電源投入時にモニターセルセusstaymer回路12をイネーブルになるようタイマー回路を構成しておけば電源投入時のモニターメモリセルの状態を検知でき、より信頼性が向上する。

#### 【0025】

前記モニターセルセusstaymer回路12は、リテンション用モニターセル判定イネーブル信号に同期してリテンション用モニターセルの判別を行ない、または読み出し信号に同期してリードディスタブ用モニターセルの判定を行う。つまり、モニターセルセusstaymer回路12はリテンション用とリードディスタブ用とを兼用している。リテンション用モニターセルの判別を行なう場合は、リテンション用モニターセル判定イネーブル信号に同期してリテンション用モニターセルカラムデコード10及びリテンション用モニターセルロウデコード11は、リテンション用モニターセルのカラム選択信号及びリテンション用モニターセルのワード選択信号を出力する。リテンション用モニターセルカラム選択信号及びリテンション用モニターセルワード選択信号がリテンション用モニターセルアレイ9に入力され、リテンション用モニターセルに記憶されているデータが読み出され、モニターセルセusstaymer回路12は、読み出されたデータを基に抵抗値がシフトしているか否かの判定を行なう。

#### 【0026】

一方、リードディスタブ用モニターセルの判定を行なう場合には、メモリアレイのメモリセルが読み出された時に必ずリードディスタブ用モニターセルを読み出し、モニターセルセusstaymer回路12により判定を行なう。リードディスタブ用モニターセルは、メモリアレイ1のメモリセルが読み出された時に必ず読み出され、最もリード回数が多いセルになるようにするべく、リードディスタブ

用モニターセルカラム／ロウデコーダ7、8には、メモリアレイ1の読み出しを行なう読み出し信号が入力され、この読み出し信号によりリードディスタブ用モニターセルが読み出されるよう構成してある。つまり、読み出し動作に伴う前記第1モニターセルに対するデータ保持状態の劣化に影響するストレスが、前記第1モニターセルがモニター対象とする前記メモリセルに対する前記ストレスより大きくなるように構成されており、前記第1モニターセルに対し、前記第1モニターセルがモニター対象とする前記メモリセルに対する読み出し動作が発生する毎に、少なくとも1回の読み出し動作が実行されるように構成されている。尚、リードディスタブ用モニターセルに記憶されているデータをモニターセル回路にて判定するタイミングは、メインアレイのメモリセルが読み出された時に毎回判定する必要はなく、例えば数10回～数100回に1回など適宜設定すればよい。

#### 【0027】

モニターセルセンス回路12は、リテンション用モニターセル、またはリードディスタブ用モニターセルの物理量、つまり抵抗値がシフトしていると判別された時、コントロールエンジン16に訂正信号CORRECTを出力し、コントロールエンジン16は後述のアルゴリズムを実行する。

#### 【0028】

以下に、1セルに4値データを記憶且つ書き替え可能な複数のメモリセルを備えたメモリアレイに対応したリテンション用モニターセル、リードディスタブ用モニターセル、及びモニターセルセンス回路12の具体的構成例を図4に基づいて説明する。RRAM素子の抵抗の分布状態は、図1に示すように、R00が最も高く、R11が最も低く、Ref01からRef32は各分布範囲の上限と下限を設定するリファレンスである。R00の上限、R11の下限は不要なのでリファレンスは存在しない。ReadRef1、2、3は読み出し時に使用するリファレンスで一般的に分布間の中間に設定される。メモリセルの抵抗値がReadRef1とReadRef2の間であればR01の状態にあると判定される。また、メモリセルはR00からR11までのそれぞれの状態でシフトの傾向が異なる可能性があるため、リテンション用モニターセル、及びリードディスタブ



ブ用モニターセルは、1セルで4状態を保持する場合は各状態で同一の回路を4種類（図1のR11の状態、R10の状態、R01の状態、R00の状態の4種類）設ける必要がある。

#### 【0029】

図4に示すように、Vref01～Vref32は図1のリファレンスRef01～32に対応するセンスアンプ用リファレンス電圧である。R00には上限が、R11には下限が不要なのでセンスアンプは1個ずつでよい。モニターセル判定イネーブル信号がモニターセルセンス回路12、リテンション用モニターセルカラムデコーダ10、リテンション用モニターセルロウデコーダ11に入力され、リテンション用モニターセルの抵抗値のシフトをモニターセルセンス回路12で判定する。また、読み出し信号がモニターセルセンス回路12、リードディスタープ用モニターセルカラムデコーダ7、リードディスタープ用モニターセルロウデコーダ8に入力され、リードディスタープ用モニターセルのシフトをモニターセルセンス回路12で判定する。

#### 【0030】

モニターセルセンス回路12は、シフト判定回路120～123を備える。シフト判定回路120は、センスアンプと2つのインバータで構成され、リテンション用、またはリードディスタープ用RRAM素子（R00）から読み出された電圧とセンスアンプ用リファレンス電圧Vref01との比較を行い、リテンション用、またはリードディスタープ用RRAM素子（R00）から読み出された電圧がセンスアンプ用リファレンス電圧Vref01より高い場合はCORRECT00に低レベル“L”を出力し、低い場合はCORRECT00に高レベル“H”を出力する。シフト判定回路121は、2つのセンスアンプとインバータとNAND回路で構成され、リテンション用、またはリードディスタープ用RRAM素子（R01）から読み出された電圧が、センスアンプ用リファレンス電圧Vref11とセンスアンプ用リファレンス電圧Vref12の間にある場合、CORRECT01に低レベル“L”を出力し、間がない場合は、CORRECT01に高レベル“H”を出力する。シフト判定回路122は、2つのセンスアンプとインバータとNAND回路で構成され、リテンション用、またはリードデ

イスタープ用 R R A M 素子 ( R 1 0 ) から読み出された電圧が、センスアンプ用リファレンス電圧  $V_{ref21}$  とセンスアンプ用リファレンス電圧  $V_{ref22}$  の間にある場合、CORRECT10 に低レベル “L” を出力し、間がない場合は、CORRECT10 に高レベル “H” を出力する。シフト判定回路 123 は、センスアンプとインバータで構成され、リテンション用、またはリードディスタープ用 R R A M 素子 ( R 1 1 ) から読み出された電圧がセンスアンプ用リファレンス電圧  $V_{ref32}$  より低い場合に CORRECT11 に低レベル “L” を出力し、高い場合は、CORRECT11 に高レベル “H” を出力する。

#### 【0031】

CORRECT00 ~ 11 の信号は、OR 回路に接続されており、OR 回路の出力が AND 回路の一方に接続され、AND 回路の他方にリテンション用モニターセル判定イネーブル信号と読み出し信号とからなる OR 回路の出力が接続され、AND 回路から訂正信号 CORRECT を出力する。例えば、R01 の状態にあるリテンション用、またはリードディスタープ用モニターセルの抵抗値が  $R_{ef12}$  より高い、又は  $R_{ef11}$  より低くれば、CORRECT01 は高レベル “H” を出力する。各状態に対応する訂正信号 CORRECT の OR 論理後の出力をコントロールエンジンに入力することでモニターセルが一つでもシフトしていたらメモリアレイ 1 の確認補正アルゴリズムに移行することが可能となり、信頼性の向上につながる。

#### 【0032】

図 5 にリテンション用モニターセルアレイ 9、及びリードディスタープ用モニターセルアレイ 6 の配置の一例を示す。メモリセル 1 の同一ビット線上かつメモリセルアレイ 1 と電源（書込み回路や読み出し回路）との間に、リテンション用モニターセルアレイ 9 を配置し、別アレイにリードディスタープ用モニターセルアレイ 6 を配置して構成してある。つまり、リテンション用モニターセルアレイ 9 を、前記第 2 モニターセルがモニター対象とする複数の前記メモリセルと、当該メモリセルに対して読み出し動作に要する電圧を供給する負荷回路との間に配置してあるので、電源からモニターセルに接続されるビット線までの距離がメモリセルより短く構成でき、リテンション用モニターセルのビット線抵抗がメモ

リセルのビット線抵抗より小さくなるので、書込み、読み出し時ストレスがかかり易くなる。従って、メモリセルアレイが選択されている時でも非選択メモリセルよりリテンション用モニターセルアレイがよりストレスを受ける様になり、メモリセルに対しモニターセルがよりシフトしやすくなり、結果メモリセルのシフトの検知を早期に行うことが可能となる。

#### 【0033】

一方、リードディスタースの影響を反映させるためのリードディスタース用モニターセルは、読み出し動作に伴うリードディスタース用モニターセルに対するデータ保持状態の劣化に影響するストレスが、リードディスタース用モニターセルがモニター対象とするメモリセルに対するストレスより大きくなるように構成することが好ましく、具体的には、リードディスタース用モニターセルに対し、リードディスタース用モニターセルがモニター対象とするメモリセルに対する読み出し動作が発生する毎に、少なくとも1回の読み出し動作が実行されるように構成されている。

#### 【0034】

メモリセルよりもストレスが高く物理量（抵抗値）がシフトしやすいリテンション用、またはリードディスタース用モニターセルが、規定範囲に収まっていれば、リテンション用、またはリードディスタース用モニターセルよりシフトしにくいメモリセルは、規定範囲に収まっている可能性が高い。このように、本発明では、まず、リテンション用、またはリードディスタース用モニターセルで、シフトしているか否かをまず調べ、リテンション用、またはリードディスタース用モニターセルがシフトした場合のみ、メモリセルのシフトの検知をして、補正するため、従来のようにメモリセルのシフトを検知する度に、メモリセルにストレスが掛かることもなく、シフトの検知を早期に発見でき、低消費電力化も可能となる。

#### 【0035】

次に、メモリセルの確認及び補正のアルゴリズムを図2に示す。先頭アドレスのR01にあるメモリセルの抵抗値が高い方向にシフトした場合、つまり、セルがRef12とReadRef1の中間領域にある場合を例にアルゴリズムの説

明を行う。まず、ステップ1では、モニターセルの状態が分布範囲内であるか否かを判断し、リテンション用モニターセルセンス用タイマー回路13が出力する所定周期のモニターセル判定イネーブル信号に基づいて、図1で示した4種類のリテンション用モニターセルR00～R10の状態をリテンション用モニターセルアレイ9から読み出し、モニターセルセンス回路12で確認する。ここでは、4種類のリテンション用モニターセルのうち、少なくとも1つが分布範囲外となるため、モニターセルセンス回路は高レベル“H”の訂正信号CORRECTを出力し、メモリアレイの確認を行うため、メモリアレイの確認を開始するステップ2に進む。あるいは、リードディスタブ用モニターセルを読み出し信号に基づいて、リードディスタブ用モニターセルR00～R10の状態を、リードディスタブ用モニターセルアレイ6から読み出し、モニターセルセンス回路12で確認する（ステップ1）。ここでは、一つのモニターセルがRef12とReadRef1の中間領域にある場合を想定し、4種類のリードディスタブ用モニターセルのうち少なくとも1つが分布範囲外となるため、モニターセルセンス回路12は高レベル“H”の訂正信号CORRECTを出力し、メモリアレイの確認を行うためステップ2に進む。尚、リテンション用モニターセル、またはリードディスタブ用モニターセルのどちらか一方が分布範囲内でないとき、ステップ2に進む。

#### 【0036】

先頭アドレスがコントロールエンジン16に入力され、先頭アドレス設定を行い、先頭アドレスのメモリセルを読み出す（ステップ2、3）。これは通常の読み出しと同じであるため、リファレンスはリファレンスアレイに記憶されているReadRef1～3を使用する。今回の例ではR01の状態に相当するデータが出力される。そのデータを読み出したままステップ4に進み、メモリセルの状態がその分布範囲の上限以上か否か、具体的にはR01の上限を超えていないかを確認する。今回の例では、Ref12との比較を行い、その結果上限以上になっていると判断されるので、メモリセルを消去するステップ5に移行してメモリセルを消去しR11の状態にする。その後書き込みを行うためステップ7に進み、メモリセル状態がその分布範囲内になるまで、つまりR01の分布範囲内にな

るまで書き込みを行う。

#### 【0037】

次に、リテンション用、またはリードディスタブ用モニターセルの抵抗値が元の分布範囲内になるように、リテンション用、またはリードディスタブ用モニターセルの補正を行なう。リテンション用、またはリードディスタブ用モニターセルの補正は、メモリセルの補正（上述のステップ4から7）と同様とする。上述の各ステップは、全てのメモリセルについて実行する必要があるため、ステップ2のアドレスを変更した後再度実行し、最終アドレスになるまで繰り返す。

#### 【0038】

次に先頭アドレスのR01にあるメモリセルの抵抗値が低い方向にシフトして、セルがRef11とReadRef2の中間領域にある場合を例にアルゴリズムの説明を行う。まず、リテンション用モニターセルセンス用タイマー回路13が、所定周期のモニターセル判定イネーブル信号を出力し、モニターセル判定イネーブル信号に基づいて図1で示した4種類のリテンション用モニターセルR00～R10の状態をリテンション用モニターセルアレイから読み出し、モニターセルセンス回路で確認する（ステップ1）。ここでは、4種類のモニターセルのうち、少なくとも1つが分布範囲外であるため、モニターセルセンス回路12は高レベル“H”の訂正信号CORRECTを出力し、メモリアレイの確認を行うためステップ2に進む。あるいは、読み出し信号に基づいて、リードディスタブ用モニターセルR00～R10の状態をリードディスタブ用モニターセルアレイから読み出し、モニターセルセンス回路12で確認する（ステップ1）。ここでは、4種類のリードディスタブ用モニターセルのうち、少なくとも1つが分布範囲外であるため、モニターセルセンス回路12は高レベル“H”の訂正信号CORRECTを出力し、メモリアレイの確認を行うためステップ2に進む。尚、リテンション用モニターセル、またはリードディスタブ用モニターセルのどちらか一方が分布範囲内でないときはステップ2に進む。

#### 【0039】

先頭アドレスがコントロールエンジンに入力され、先頭アドレス設定を行い、

先頭アドレスのメモリセルを読み出す（ステップ2、3）。これは通常の読み出しと同じであるため、リファレンスはリファレンスアレイに記憶されている Read Ref 1～3を使用する。今回の例ではR 0 1の状態に相当するデータが出力される。そのデータを記憶したままステップ4に進み、メモリセルの状態がR 0 1の上限を超えていないか確認する。今回の例では、Ref 1 2との比較を行い、その結果上限以上になっていないと判断され、ステップ6に進み、メモリセルの状態がR 0 1の下限を超えていないか確認する。今回の例では、Ref 1 1との比較を行い、その結果下限以下になっていると判断され、ステップ7に進み、メモリセル状態がR 0 1分布範囲内になるまで書き込みを行う。

#### 【0040】

次に、リテンション用、またはリードディスタurb用モニターセルを元の分布範囲内になるように、リテンション用、またはリードディスタurb用モニターセルの補正を行なう。リテンション用、またはリードディスタurb用モニターセルの補正は、メモリセルの補正（ステップ4～7）と同様とする。上述の各ステップは、全てのメモリセルについて実行する必要があるため、ステップ2でアドレスを変更した後再度実行し、最終アドレスになるまで繰り返す。

#### 【0041】

図2に示した本アルゴリズムは、メモリセルを読み出し、読み出されたデータがシフトしているか否かを検知する際、先ず上限を検知した後に下限を検知する点に特徴がある。本アルゴリズムでは、メモリセルの状態が分布範囲の上限以上でなく分布範囲の下限以下である場合、ステップ4→ステップ6→ステップ7の3ステップとなり、メモリセルの状態がメモリセルの状態が分布範囲の下限以下でなく分布範囲の上限以上である場合、ステップ4→ステップ5→ステップ7の3ステップといずれも3ステップで終了するのに対して、例えば、図6に示すように、本アルゴリズムとは逆に下限を検知した後に上限を検知すると、メモリセルの状態が分布範囲の下限以下でなく分布範囲の上限以上である場合には、ステップ4'→ステップ6'→ステップ7'→ステップ5'の4ステップを必要とし、メモリセルの状態が分布範囲の下限以下である場合には、ステップ4'→ステップ5'の2ステップを必要とする。従って、4工程のステップが必要となる図

6に示すアルゴリズムよりも工程数が低減できる。

#### 【0042】

上述した実施形態では、1セルに4値データを記憶且つ書き替え可能な複数のメモリセルを備えたメモリアレイに対応したものを説明したが、本発明は、一般に、1セル内にN値データ（Nは2以上の自然数）を記憶且つ書き換え可能な複数のメモリセルに対応して構成することが可能である。

#### 【0043】

上述した実施形態では、補正手段を備えることによりメモリセルの値を常に適正な状態に維持することが可能となるが、例えば、試験的にストレスの程度を計測する用途や、モニターセルに異常が確認された時点で寿命が尽きたとの製品仕様を有する半導体記憶装置などにおいては確認手段を備えてその結果を把握できればよく、補正手段は必ずしも必要ではない。

#### 【0044】

上述した半導体記憶装置において、モニターセルに記憶したデータ値に対応するモニターセルの物理量が予め設定された範囲にあるか否かを検知する検知手段として、電圧検知型の差動増幅回路を用いて構成したものを説明したが、検知手段としてはこれに限定するものではなく、検知対象に応じて適宜構成することが可能である。例えば、電流検知型の差動増幅回路を用いて抵抗値を間接的に検知することも可能である。また、検知手段は、物理量が予め設定された範囲にあるか否かを直接或いは間接的に検知するように構成されていればよく、必ずしも直接検知されるものに限定するものではない。さらに、物理量としては、抵抗値に限るものではなく、メモリセルやモニターセルに記憶されたデータ値に対応するものであれば、電荷量等の他の物理量であっても構わない。

#### 【0045】

上述した半導体記憶装置ではメモリセルを不揮発性抵抗変化素子としてRRAM素子を用いて構成するものについて説明したが、不揮発性抵抗変化素子はこれに限定するものではなく、磁化の方向により抵抗値が変わるMRAM素子や熱による結晶状態の変化により抵抗値が変わるOUM素子など外部ストレスにより抵抗値が変動する素子を用いることも可能である。

**【0046】****【発明の効果】**

以上説明したように、本発明では、先ずモニターセルがシフトしているか否かを調べ、モニターセルがシフトした場合のみメモリセルのシフトの検知を行なうので、従来のように頻繁にメモリセルのシフトを検知してメモリセルに過剰ストレスをかけることなく、シフトの検知を効率よくしかも早期に発見でき低消費電力化が可能となる。

**【0047】**

また、モニターセルをリテンション用とリードディスタurb用の2種類設けることで抵抗値シフトの要因を区別しそれぞれの影響を判別することが可能となり、さらには、リテンション用モニターセルセンス用タイマー回路による、一定周期のリテンション用モニターセル状態の確認と、メモリアレイからのデータ読み出し時のリードディスタurb用モニターセルの状態の確認を、従来必要であった外部入力が無くとも、自動的に行なえるので、半導体記憶装置の長期安定動作が保障されるようになった。

**【0048】**

さらに、不揮発性抵抗変化素子を用いてメモリセルを構成することにより、メモリセルの正常な分布範囲に対し、抵抗値が高くなった場合だけでなく低くなった場合であってもメモリセル毎に補正が可能となり信頼性が向上するようになった。

**【図面の簡単な説明】****【図1】**

本発明による半導体記憶装置の各メモリセルの閾値分布を示す説明図

**【図2】**

本発明によるメモリセルの記憶データ補正方法を説明するフローチャート

**【図3】**

本発明による半導体記憶装置の回路ブロック構成図

**【図4】**

本発明による半導体記憶装置の要部の回路ブロック構成図



**【図 5】**

本発明による半導体記憶装置の要部の回路ブロック構成図

**【図 6】**

本発明によるメモリセルの記憶データ補正方法の別実施例を説明するフローチャート

**【図 7】**

従来技術による半導体記憶装置の回路ブロック構成図

**【図 8】**

従来技術による半導体記憶装置の各メモリセルの閾値分布を示す説明図

**【図 9】**

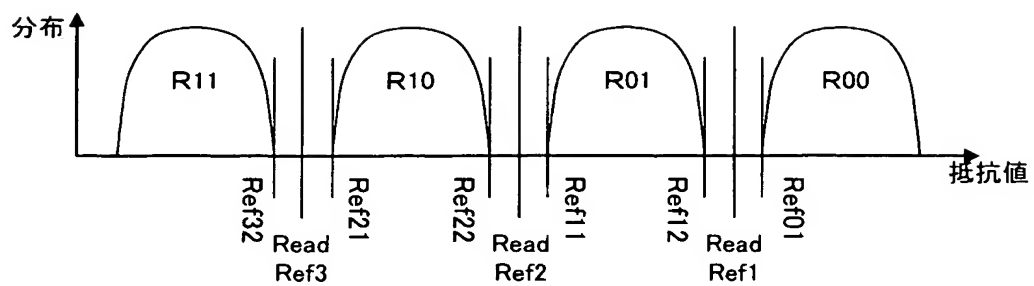
従来技術によるメモリセルの記憶データ補正方法を説明するフローチャート

**【符号の説明】**

- 1：           メモリセルアレイ
- 2：           リファレンスアレイ
- 3：           センス回路
- 6：           モニターセルアレイ
- 12, 13, 16：確認手段

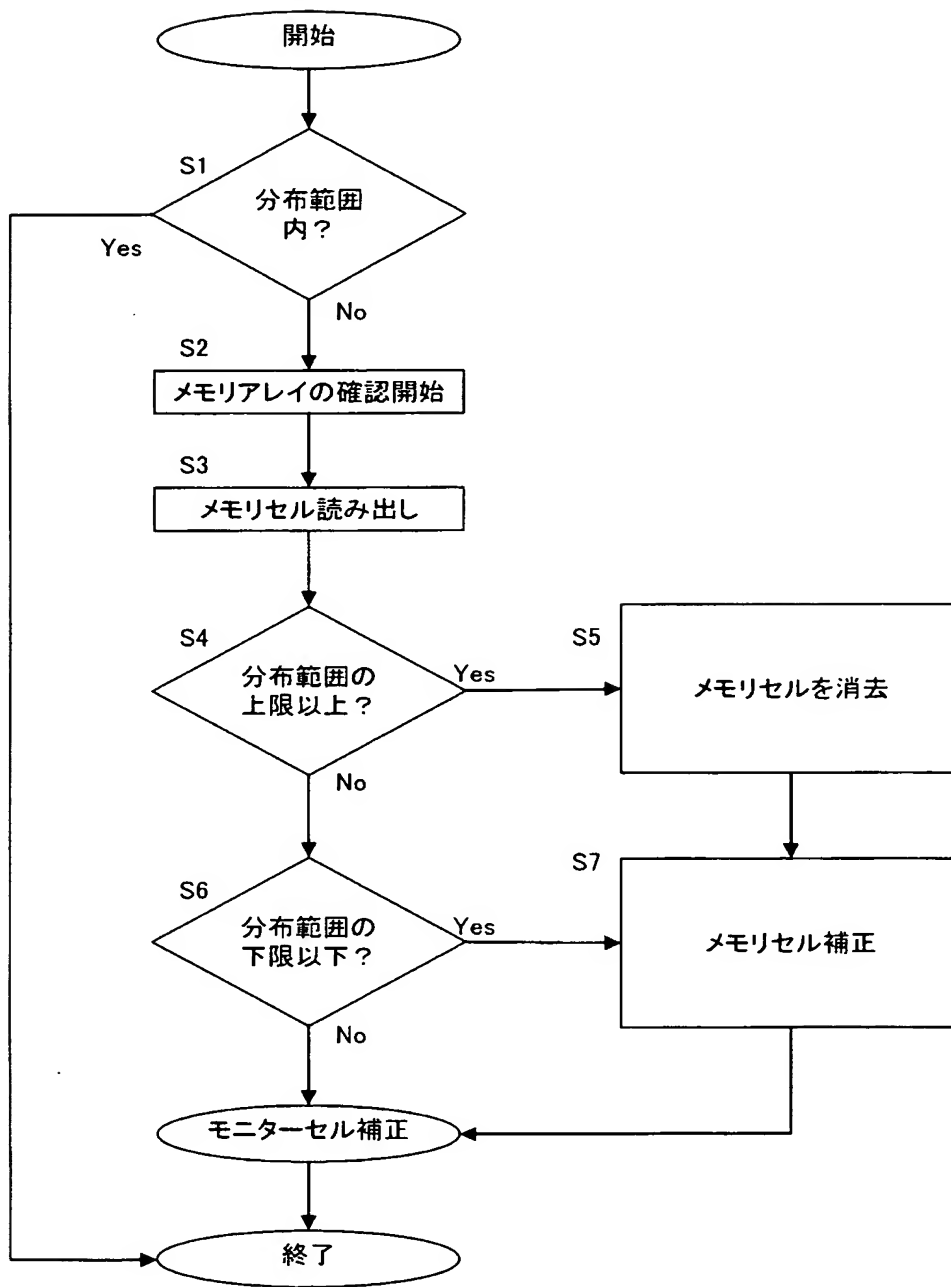
【書類名】 図面

【図 1】

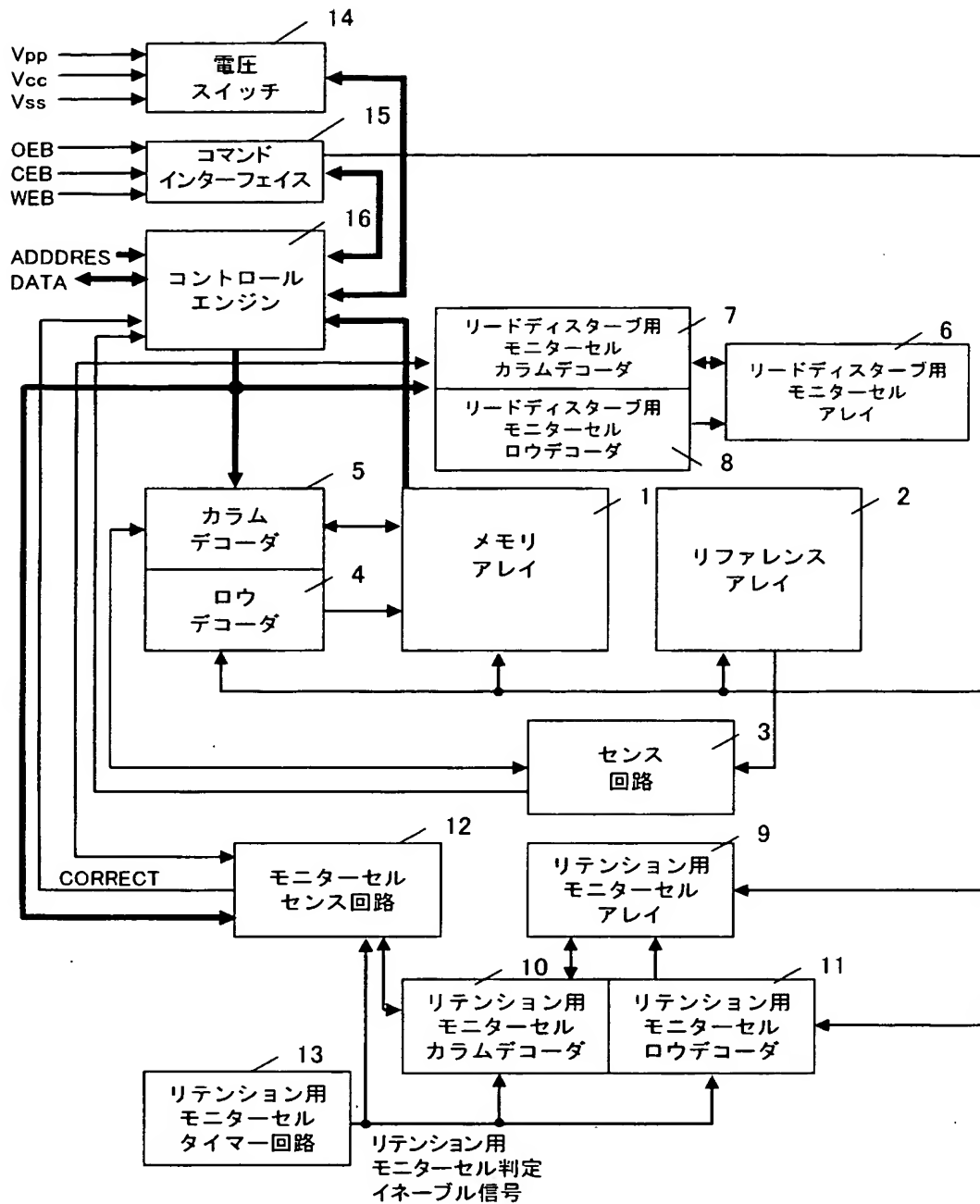


$$R11 < R10 < R01 < R00$$

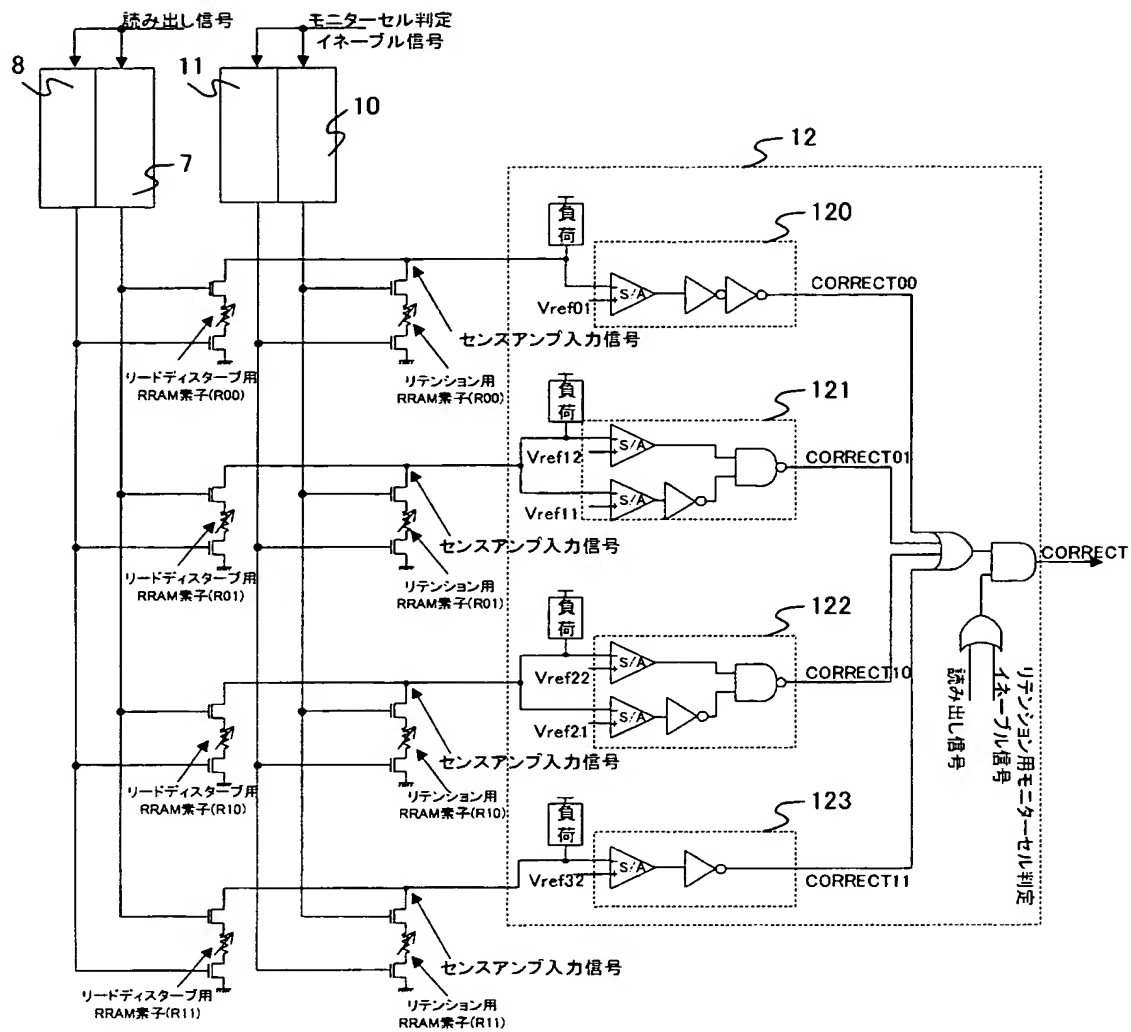
【図 2】



【図 3】

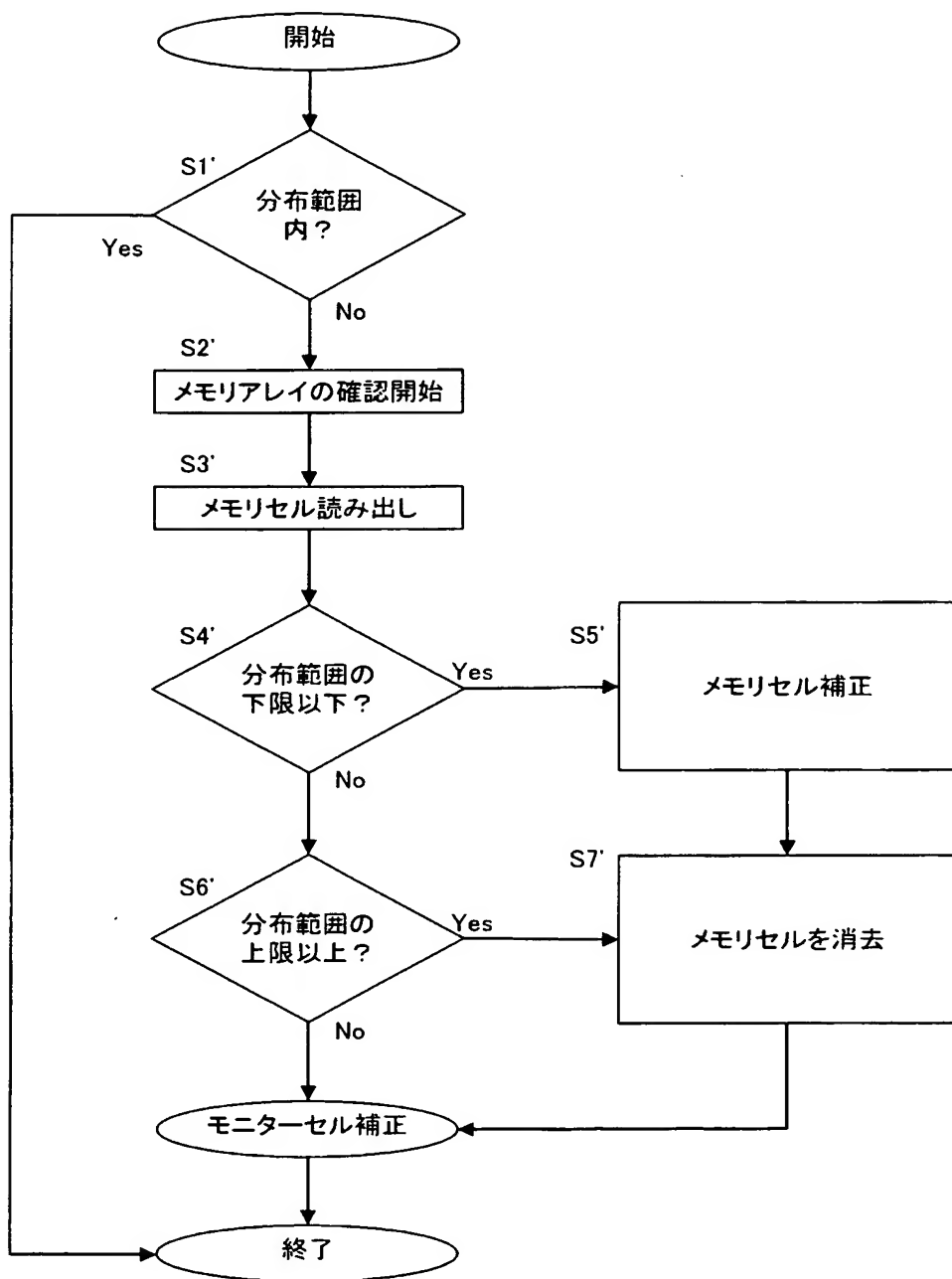


【図 4】

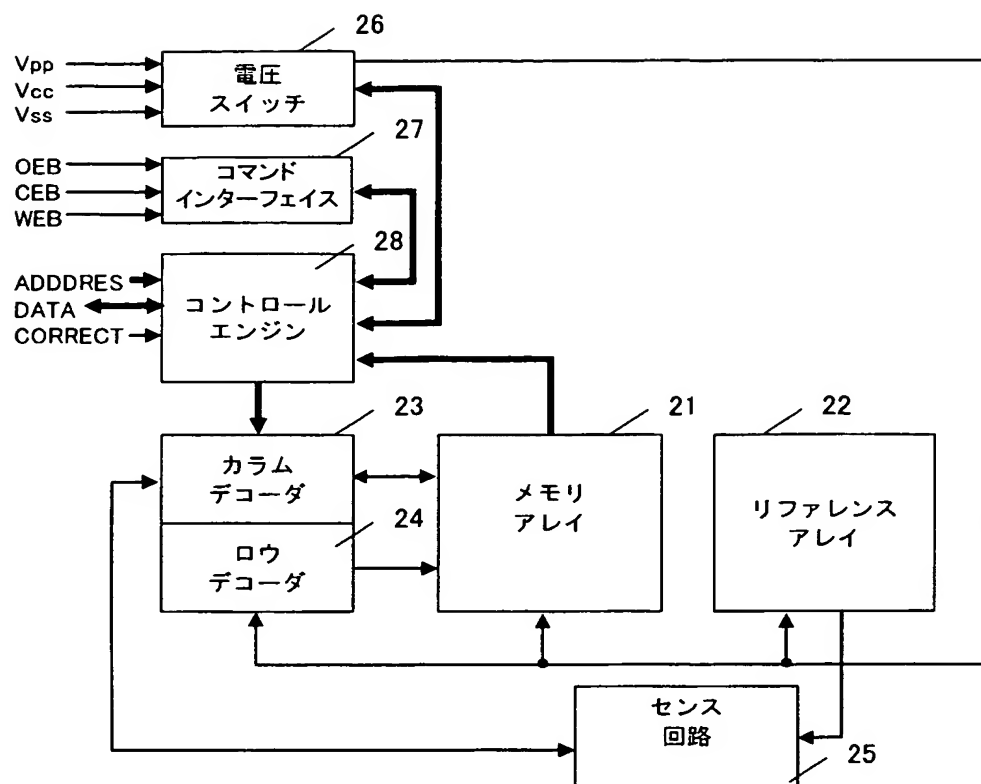




【図 6】

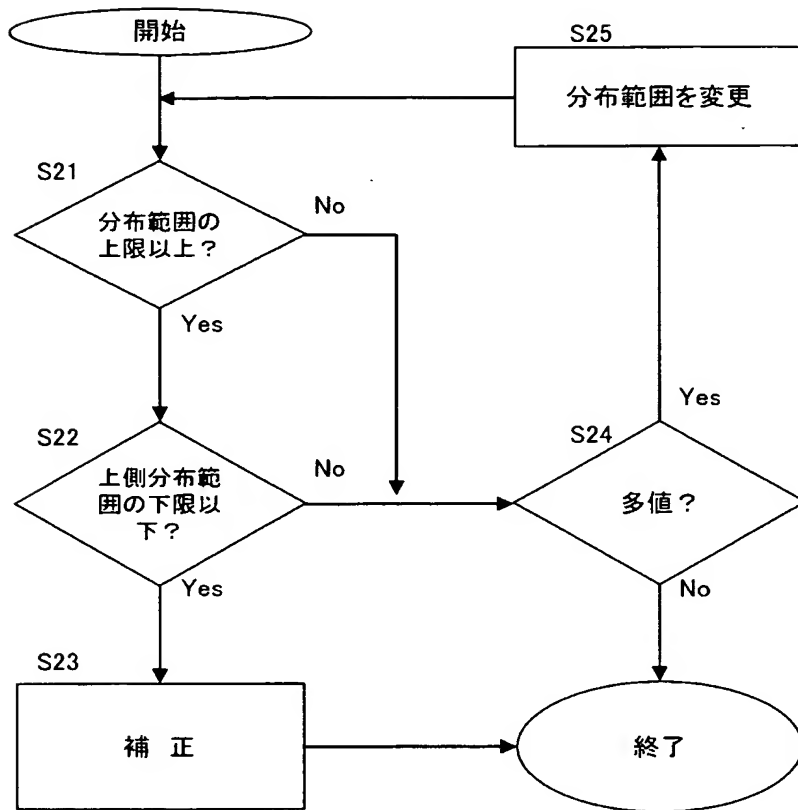


【図 7】

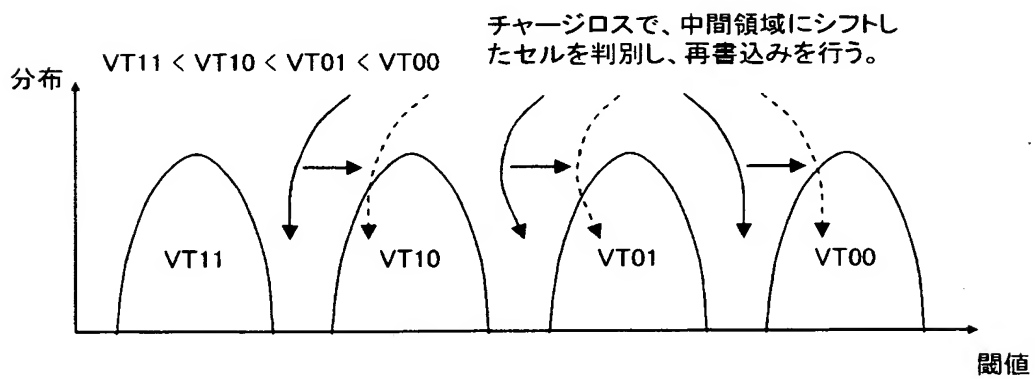




【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 メモリセルに過剰なストレスをかけることなく効率的に物理量の変動が検知でき、しかも、チャージロスによるような規定範囲の下方への変動ばかりではなくチャージゲインによるような規定範囲の上方への物理量の変動に対しても補正可能な半導体記憶装置及びメモリセルの記憶データ補正方法を提供する。

【解決手段】 1セル内にN値データを記憶且つ書き換え可能な複数のメモリセル1と、前記N値データの各データ値を前記メモリセルと同じ記憶方式で各別に記憶する複数のモニターセル6、9を設け、検知手段12によりモニターセルの物理量が予め設定された範囲にあるか否かを検知して、範囲外であるときに確認手段16によりメモリセルの物理量が予め設定された範囲であるか否かの確認を行ない、補正手段16によりメモリセルの物理量を補正する。

【選択図】 図3

特願 2 0 0 2 - 3 5 3 7 3 1

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 0 4 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社